

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-232197

(43) 公開日 平成9年(1997)9月5日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/02			H 0 1 L 21/02	B
27/12			27/12	B

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平8-39477

(22) 出願日 平成8年(1996)2月27日

(71) 出願人 000205351

住友シチックス株式会社
兵庫県尼崎市東浜町1番地

(72) 発明者 池田 安伸

佐賀県杵島郡江北町大字上小田2201番地
住友シチックス株式会社内

(72) 発明者 富田 真一

佐賀県杵島郡江北町大字上小田2201番地
住友シチックス株式会社内

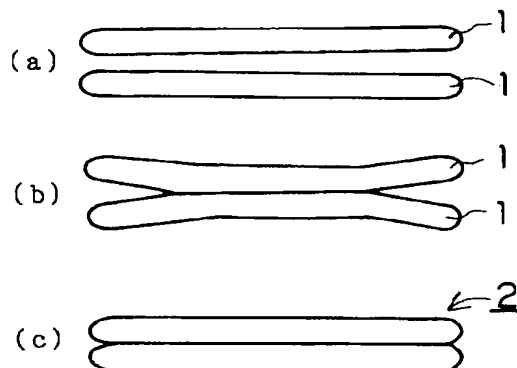
(74) 代理人 弁理士 森 正澄

(54) 【発明の名称】 貼り合わせ半導体ウエーハの製造方法

(57) 【要約】

【目的】 ボイドフリーの良品を得る率が增大する貼り合わせ半導体ウエーハの製造方法を提供すること。

【構成】 第1の半導体ウエーハと第2の半導体ウエーハを接着することにより形成される貼り合わせ半導体ウエーハの製造方法において、前記第1の半導体ウエーハ及び第2の半導体ウエーハは主面が鏡面研磨されるとともに、この研磨された第1の半導体ウエーハ及び第2の半導体ウエーハの主面上の任意の位置における被測定領域1mm²~5mm²の範囲において、表面の凹形状が、P-V値で15nm以下であるものを用いて貼り合わせ半導体ウエーハを形成する構成の貼り合わせ半導体ウエーハの製造方法である。



【特許請求の範囲】

【請求項1】第1の半導体ウエーハと第2の半導体ウエーハを接着することにより形成される貼り合わせ半導体ウエーハの製造方法において、第1の半導体ウエーハ及び第2の半導体ウエーハは主面が鏡面研磨されるときともに、この研磨された第1の半導体ウエーハ及び第2の半導体ウエーハの主面上にの任意の位置における被測定領域が $1\text{mm}\square\sim 5\text{mm}\square$ の範囲において、表面凹形状が、P-V値で 15nm 以下であるものを用いて貼り合わせ半導体ウエーハを形成することを特徴とする貼り合わせ半導体ウエーハの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、第1の半導体ウエーハと第2の半導体ウエーハを鏡面研磨した後に、前記鏡面研磨した面を直接又は誘電体層を介在させて貼り合わせ接着する貼り合わせ半導体ウエーハの製造方法に関する。

【0002】

【従来の技術】従来において、第1の半導体ウエーハと第2の半導体ウエーハを直接又は誘電体層を介在させて接着する貼り合わせ半導体ウエーハが知られている。

【0003】これらの半導体ウエーハは、不純物の種類や濃度が異なるウエーハを貼り合わせて一体化することができるため、急峻な不純物濃度分布を有することができ、また、インテリジェントパワーICや次世代VSLI用基板として注目されているSOI (Silicon on Insulator) 構造を形成することができる。

【0004】この種の貼り合わせ半導体ウエーハを製造する方法としては、例えば、特開昭61-145893号や、特開平2-126625号等に記載されたものが知られている。

【0005】前記特開昭61-145893号公報に記載されている貼り合わせ半導体ウエーハは、一方又は双方のウエーハを凸状球面に変形させて、先ず、ウエーハの中央部を接触させ、双方の接触部を接触の開始点として、その後、凸状球面のウエーハを平面状に戻すことにより、双方の中央部からその他の外周部に亘り、順次、接触させて2枚のウエーハを貼り合わせて製造されている。

【0006】前記特開平2-126625号公報記載の貼り合わせ半導体ウエーハは、貼り合わせる2枚のウエーハの表面粗さを、中心線平均粗さで 0.5nm 以下になるように鏡面研磨し、前記鏡面研磨された2枚の半導体ウエーハを用いて接合する方法が開示されている。

【0007】このような従来の製造方法によれば、ウエーハの反りやうねり等の形状の影響を受けることがなく、双方のウエーハの貼り合わせ面にボイド（気泡）の発生を生じない貼り合わせ半導体ウエーハを提供することが可能とされている。

【0008】

【発明が解決しようとする課題】しかしながら、ウエーハ表面にはうねり等によって凸凹形状が形成されている場合が多くあり、2枚のウエーハを接着する際に、ウエーハ表面に存在する前記凹形状部分における接着速度は、ウエーハ表面の平坦部分よりも接着速度が遅くなる。このため、ウエーハ表面上で凹形状部分以外の平坦部分の方が凹形状部分よりも速く接着してしまい、凹形状部分に残された空気の逃げ道がなくなりボイドが発生する問題があった。

【0009】このため、双方のウエーハ中央部からその他の外周部に亘り、順次、接触させて貼り合わせしてもボイドの発生を低減することができずにすぎず、更に、ウエーハ外周部における接着速度は、ウエーハ中央部よりも加速されて速くなるため、特にウエーハ外周部分においてボイドの発生率は増大する傾向にあった。

【0010】また、表面粗さが中心線平均粗さで 0.5nm 以下のウエーハを用いて貼り合わせ半導体ウエーハを形成した場合も、前述した凹形状部分の接着速度と他の平坦部分の接着速度の違いにより直径 $0.5\text{mm}\sim 5\text{mm}$ の気泡がウエーハ面に発生する問題があった。

【0011】そこで、本発明は、2枚のウエーハを直接又は絶縁物を介在させて接着する貼り合わせ半導体ウエーハを形成する際に、ボイドの発生がないボイドフリーの貼り合わせ半導体ウエーハを製造する方法を提供することを目的としている。

【0012】

【課題を解決するための手段】本発明は、第1の半導体ウエーハと第2の半導体ウエーハを接着することにより形成される貼り合わせ半導体ウエーハの製造方法において、前記第1の半導体ウエーハ及び第2の半導体ウエーハは主面が鏡面研磨されるときともに、この研磨された第1の半導体ウエーハ及び第2の半導体ウエーハの主面上の任意の位置における被測定領域が、 $1\text{mm}\square\sim 5\text{mm}\square$ の範囲において、表面の凹形状が、P-V（山-谷）値で 15nm 以下であるものを用いて貼り合わせ半導体ウエーハを形成する構成の貼り合わせ半導体ウエーハの製造方法である。

【0013】このように、半導体ウエーハの主面に存在している凹形状の大きさが、ウエーハ主面上の任意位置における被測定領域 $1\text{mm}\square\sim 5\text{mm}\square$ の範囲において、P-V値で 15nm 以下である半導体ウエーハが選定されて、前記選定された2枚の半導体ウエーハの主面同士が接着するため、貼り合わせ面に空気等の気泡（ボイド）が残存せずに双方のウエーハを接着することを可能とし、ボイドフリーの高品位な貼り合わせ半導体ウエーハの製造することができる。

【0014】

【発明の実施の形態】以下、本発明を具体例に基づいて詳細に説明する。

【0015】先ず最初に、凹形状の大きさと気泡の発生の相関を調べるために、すでに貼り合わせてある半導体ウェーハに発生している気泡を超音波探傷法により測定した。

【0016】前記貼り合わせ半導体ウェーハに発生している気泡の測定結果から、気泡の発生が顕著な貼り合わせウェーハと気泡の発生がない貼り合わせウェーハを選択し、前記気泡発生が顕著な貼り合わせウェーハと気泡発生がない貼り合わせウェーハの貼り合わせてあるウェーハ双方を剥がして、前記剥がしたウェーハの貼り合わせ面周辺部分に存在している凹形状の大きさを後述する測定方法により測定した。

【0017】前記ウェーハ表面に存在している凹形状の大きさを測定する方法として、表面高さ方向分解能0.1 nm以下、水平方向分解能0.1 μ m \sim 12.7 μ mの範囲で、ステップ段差或いは面粗さの測定が可能な、光学的位相シフト法及びパチカルスキャン法を用いたワイコーコーポレーション(WYKOCORPORATION)製、型式RST PLUS、対物レンズの倍率1.5を用いて、ウェーハエッジからウェーハの中央方向へ測定し、ウェーハエッジからウェーハ中央方向7.3 mm \times 円周方向5.4 mmを測定範囲として測定を行った。

【0018】前記剥がしたウェーハの貼り合わせ面上におけるウェーハエッジからウェーハ中央方向7.3 mmの範囲を測定した測定値のうち、ウェーハエッジから2.3 mm程度の位置における測定値を除いたウェーハ周辺部分からウェーハ中央方向へ測定領域5 mm \square の範囲で仮想平面を想定して、その部分における凹形状の大きさ(P-V値)を求めた。

【0019】図1及び図2は前記剥がしたウェーハの貼り合わせ面周辺部分に存在している凹形状の大きさ(P-V値)の測定結果を示す。

【0020】図1は気泡発生がない貼り合わせウェーハを剥がして測定したウェーハの貼り合わせ面上の測定位置と前記剥がしたウェーハに存在する凹形状の大きさを示すP-V値の変化を示し、図2は気泡発生が顕著であった貼り合わせウェーハを剥がして測定したウェーハの貼り合わせ面上の測定位置と前記剥がしたウェーハに存在する凹形状の大きさを示すP-V値の変化を示す。

【0021】図1に示すように気泡発生がない貼り合わせウェーハを剥がして測定したウェーハの貼り合わせ面周辺部分においては、測定位置に拘らずP-V値15 nm以下の大きさの凹形状が測定された。

【0022】図2に示すように、気泡発生が顕著であった貼り合わせウェーハを剥がして測定したウェーハの貼り合わせ面周辺部分においては、ウェーハエッジからウェーハ中央方向5 mm \sim 6 mmの位置でP-V値20 nm \sim 90 nmの大きさの凹形状が測定された。

【0023】この結果から、気泡発生がない貼り合わせ

半導体ウェーハの面周辺部分に存在している凹形状の大きさはP-V値15 nm以下であり、気泡発生が顕著な貼り合わせ半導体ウェーハの面周辺部分に存在している凹形状の大きさはP-V値15 nm以上であることが確認された。

【0024】次に、貼り合わせる前のウェーハ主面周辺部分に存在している凹形状の大きさを前記凹形状の大きさを測定する方法を用いて測定し、ウェーハエッジからウェーハ中央方向5 mm \square の範囲におけるウェーハ主面上に存在している凹形状の大きさがP-V値15 nm以上であるウェーハと、ウェーハ主面上に存在している凹形状の大きさがP-V値15 nm以下であるウェーハをそれぞれ選定し、同じ大きさ(同P-V値)の凹形状が存在している2枚のウェーハの主面同士を接着して貼り合わせ半導体ウェーハを製造した。

【0025】前記各大きさ(各P-V値)の凹形状が存在する貼り合わせ半導体ウェーハの周辺部分における気泡発生率を前記超音波探傷法にて測定した。

【0026】図3に各貼り合わせウェーハに存在する凹形状の大きさ(P-V値)と気泡の発生率の変化を示す。

【0027】図3に示すように、ウェーハ周辺部分に存在する凹形状が大きい(P-V値が大きい)貼り合わせウェーハほど気泡の発生率は高くなり、ウェーハ周辺部分に存在する凹形状が小さい(P-V値が小さい)貼り合わせウェーハほど気泡の発生率が低くなった。

【0028】前記測定結果から、ウェーハ主面周辺部分に存在する凹形状の大きさと気泡の発生率には相関関係があり、凹形状が大きくなる程、気泡の発生率が高くなることが確認された。

【0029】次に、前述した凹形状の大きさを測定する方法により、貼り合わせる前のウェーハ主面周辺部分に存在する凹形状の大きさを、ウェーハ主面周辺から測定領域5 mm \square で測定し、ウェーハに存在している凹形状がP-V値15 nm以上のウェーハと、ウェーハに存在している凹形状がP-V値15 nm以下のウェーハを各々96枚ずつ選定し、同じP-V値を有する凹形状が存在している2枚のウェーハ同士を接着して、P-V値15 nm以上の凹形状が存在する貼り合わせ半導体ウェーハを48枚、同じくP-V値15 nm以下の凹形状が存在する貼り合わせ半導体ウェーハを48枚製造した。

【0030】そして、各貼り合わせ半導体ウェーハの周辺部分における気泡発生率を前記超音波探傷法にて測定した。

【0031】P-V値15 nm以上の凹形状が存在するウェーハ同士を接着した貼り合わせウェーハ48枚中、気泡が発生した貼り合わせウェーハは42枚であり、87.5%の確率で気泡が発生したことが測定された。

【0032】一方、P-V値15 nm以下の凹形状が存在するウェーハ同士を接着した貼り合わせウェーハ48

枚中、気泡が発生した貼り合わせウエーハは僅か5枚であり、気泡発生率は約10.5%に抑えられた。

【0033】このことから、ウエーハ主面周辺部分に存在している凹形状の大きさがP-V値で15nm以下であるウエーハを用いて貼り合わせ半導体ウエーハを形成すると、気泡発生率の少ない貼り合せ半導体ウエーハが得られることが確認された。

【0034】次に、前述した凹形状の大きさを測定する方法を用いて、ウエーハ主面中央部分に存在する凹形状の大きさを、ウエーハ主面中央部分の測定領域5mm²で測定し、ウエーハに存在している凹形状の大きさがP-V値15nm以下であるウエーハと、ウエーハに存在している凹形状の大きさがP-V値15nm以上であるウエーハをそれぞれ選定し、同じ大きさの凹形状が存在している2枚のウエーハ同士を接着して貼り合わせ半導体ウエーハを製造した。

【0035】そして、各貼り合わせ半導体ウエーハの貼り合わせ面間中央部分における気泡の発生率を前記超音波探傷法にて測定した。

【0036】その結果、ウエーハ主面中央部分にP-V値15nm以上の凹形状が存在する2枚のウエーハを接着した貼り合わせウエーハは、凹形状部分に気泡が発生していることが確認され、一方、ウエーハ主面中央部分にP-V値15nm以下の凹形状が存在する2枚のウエーハを接着した貼り合わせウエーハは、気泡発生が確認されず、凹形状部分においても気泡の発生は確認されなかった。

【0037】このことから、ウエーハ主面中央部分に存在している凹形状の大きさが、所定の測定範囲で、P-V値15nm以下のウエーハを選定して、前記ウエーハ2枚を接着して貼り合わせ半導体ウエーハを形成すると、貼り合わせウエーハ面間中央部分において気泡が発生しないことが確認された。

【0038】図4(a)～(c)は、ウエーハ表面の任意位置における測定領域1mm²～5mm²の範囲で測定された凹形状の大きさがP-V値で15nm以下であるウエーハを用いて、貼り合わせ半導体ウエーハを形成する貼り合わせ工程を示す断面図である。

【0039】図5(a)～(c)は、図4に示す貼り合わせ工程における平面図である。図4(a)及び図5(a)に示すように、ウエーハ主面に存在する凹形状の大きさがP-V値15nm以下であるウエーハ1,1同士を選定し、図4(b)及び図5(b)に示すように前記ウエーハ1,1を接着すると、ウエーハ1,1表面に存在するP-V値15nm以下の凹形状部分においては、ウエーハ表面の他の平坦部分における接着速度に影響されずに、ウエーハ面間に空気等の気体が残存することなく双方のウエーハが接着される。このため、図4(c)及び図5(c)に示すように、ボイドフリーの貼り合わせ半導体ウエーハ2を得ることができる。

【0040】図6(a)～(c)は、ウエーハ表面の任意位置における測定領域1mm²～5mm²の範囲で測定された凹形状の大きさがP-V値が15nm以上であるウエーハを用いて、貼り合わせ半導体ウエーハを形成する貼り合わせ工程を示す断面図である。

【0041】図7(a)～(c)は、図6に示す貼り合わせ工程における平面図である。

【0042】図6(a)及び図7(a)に示すように、ウエーハ主面に存在する凹形状5の大きさがP-V値15nm以上であるウエーハ3,3を選定し、図6(b)及び図7(b)に示すように前記ウエーハ3,3を接着すると、ウエーハ3,3上の凹形状5部分と他の平坦部分の接着速度が異なることから、前記凹形状5部分に空気等の気体がとり残されて周囲の平坦部分が先に接着され、そのため、凹形状5部分に気泡が発生し、特に、ウエーハ3,3主面の周辺部分では、ウエーハ主面中央部分よりもウエーハの接着速度が速くなることにより、凹形状5部分に空気等が取り残されて気泡が発生する率が多くなる。図6(c)及び図7(c)に示すように、前記理由によりP-V値15nm以上の凹形状が存在する2枚のウエーハを接着して形成した貼り合わせウエーハには気泡(ボイド)6が発生する。

【0043】このように、ウエーハ主面上の任意位置における測定領域1mm²～5mm²の範囲で測定された、ウエーハ主面に存在する凹形状の大きさがP-V値15nm以下であるウエーハを選択して、それらのウエーハを用いて貼り合わせ半導体ウエーハを製造すると、貼り合わせ面間に気泡の発生がない貼り合わせ半導体ウエーハを得ることができる。

【0044】図示の具体例は半導体ウエーハを直接接着して形成する貼り合わせ半導体ウエーハを示したが、誘電体層を介在させてもウエーハ主面に存在する凹形状がP-V値で15nm以下であるウエーハを選択的に用いることにより、同様にボイドフリーの貼り合わせ半導体ウエーハを得ることができる。

【0045】

【発明の効果】以上説明したように、本発明によれば、ウエーハ主面上の任意位置における被測定領域が、1mm²～5mm²の範囲において測定される表面の凹形状の大きさがP-V値で15nm以下であるウエーハを選択的に用いて貼り合わせ半導体ウエーハを製造することにより、貼り合わせ界面におけるボイドの発生を防止することができ、ボイドフリーの高品位な貼り合わせ半導体ウエーハを得ることができる。

【0046】また、選択的に半導体ウエーハを使用して貼り合せ半導体ウエーハを製造するため、製造歩留りを向上させることも可能となる。

【0047】このように、本発明によれば、信頼性を高めたボイドフリーの貼り合わせ半導体ウエーハを提供することを可能とする。

【図面の簡単な説明】

【図1】気泡発生のない貼り合わせ半導体ウエーハを剥がして測定したウエーハ貼り合わせ面上の測定位置と前記ウエーハに存在する凹形状のP-V値の変化を示す図である。

【図2】気泡が発生した貼り合わせ半導体ウエーハを剥がして測定したウエーハ貼り合わせ面上の測定位置と前記ウエーハに存在する凹形状のP-V値の変化を示す図である。

【図3】貼り合わせ半導体ウエーハに存在する凹形状のP-V値と気泡の発生率の変化を示す図である。

【図4】ウエーハ主面にP-V値15nm以下の凹形状が存在するウエーハを用いて製造する貼り合わせウエーハの貼り合わせ工程を示す断面図である。

【図5】図4に示す貼り合わせ工程における平面図である。

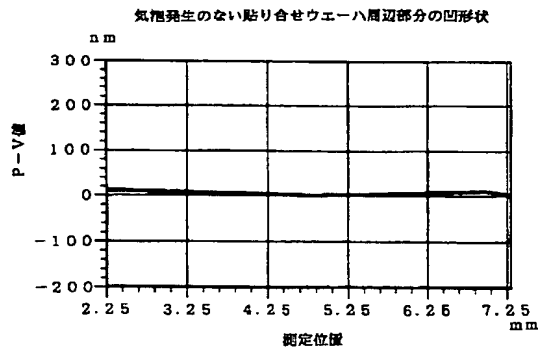
【図6】ウエーハ主面にP-V値15nm以上の凹形状が存在するウエーハを用いて製造する貼り合わせウエーハの貼り合わせ工程を示す断面図である。

【図7】図6に示す貼り合わせ工程における平面図である。

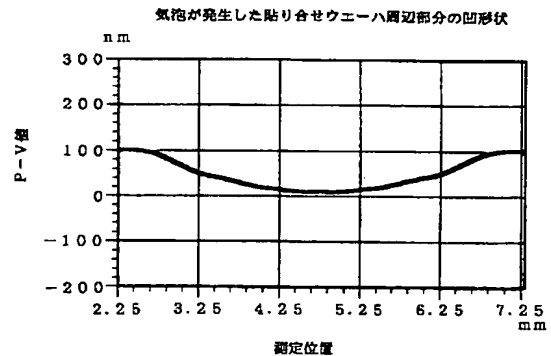
【符号の説明】

- 1 半導体ウエーハ
- 2 貼り合わせ半導体ウエーハ
- 3 半導体ウエーハ
- 4 貼り合わせ半導体ウエーハ
- 5 凹形状
- 6 気泡 (ボイド)

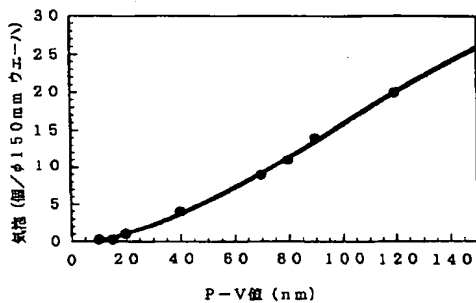
【図1】



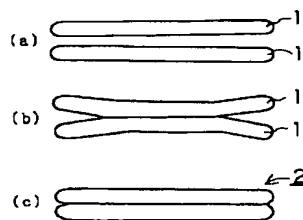
【図2】



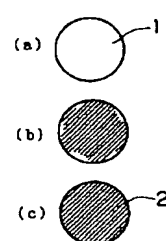
【図3】



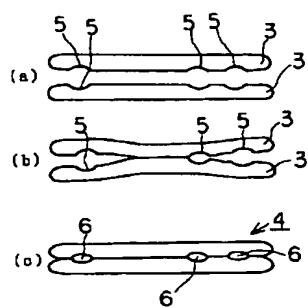
【図4】



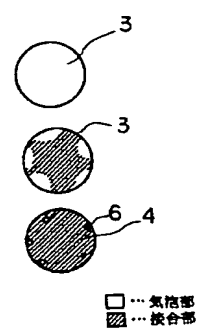
【図5】



【図6】



【図7】



(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09232197 A**

(43) Date of publication of application: **05.09.97**

(51) Int. Cl.

H01L 21/02

H01L 27/12

(21) Application number: **08039477**

(71) Applicant: **SUMITOMO SITIX CORP**

(22) Date of filing: **27.02.96**

(72) Inventor: **IKEDA YASUNOBU
TOMITA SHINICHI**

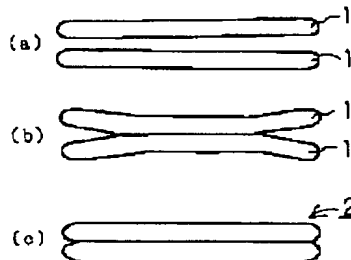
**(54) METHOD FOR MANUFACTURING JOINED
SEMICONDUCTOR WAFER**

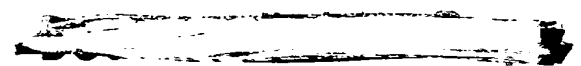
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing joined semiconductor wafer which increases the yield at which void-free non-defectives are produced.

SOLUTION: A joined semiconductor wafer 2 is formed by joining a first semiconductor wafer 1 to a second semiconductor wafer 1. For manufacturing the joined semiconductor wafers 2, major surfaces of the first and second semiconductors 1 are polished to a mirror-smooth state. The depressions on the surface of the major surface of the polished first and second semiconductor wafers 1 for forming the joined semiconductor wafers 2 must exhibit a P-V value of 15nm or less in an area to be measured within a range of 1mm^{square}-5mm^{square} in any position of the major surface.

COPYRIGHT: (C)1997,JPO





This Page Blank (uspto)